

SEMICONDUCTOR SWITCH CIRCUIT

Patent Number: JP9139660
Publication date: 1997-05-27
Inventor(s): KOBAYASHI TOMOHIRO
Applicant(s): MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP9139660
Application Number: JP19950298346 19951116
Priority Number(s):
IPC Classification: H03K17/10; H03K17/16
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To suppress dispersion in the operating time of semiconductor switch elements by inserting variable resistor elements between gate drive circuits and the gate terminals of respective semiconductor switch elements and adjusting the resistance values of respective resistor elements.

SOLUTION: Variable gate resistors 6a and 6b are provided in place of resistance fixed gate resistors. Assuming that the gate signal outputted from a gate drive circuit 7a is quickened more than the gate signal outputted from a gate drive circuit 7b, the resistance value of variable gate resistor 6a is set a little larger than the resistance value of variable gate resistor 6b. Thus, since the variable gate resistors 6 are made into variable type and the resistance values of variable gate resistors 6 are adjusted in accordance with the time dispersion of gate signals supplied to elements, the dispersion in the operating time of elements based on the time dispersion of gate signals is suppressed. Therefore, the overvoltage of elements can be suppressed without increasing the capacitance of snubber capacitor and increasing loss.

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/10		9184-5K	H 0 3 K 17/10	
17/16		9184-5K	17/16	M

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号	特願平7-298346	(71) 出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成7年(1995)11月16日	(72) 発明者	小林 知宏 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
		(74) 代理人	弁理士 宮田 金雄 (外3名)

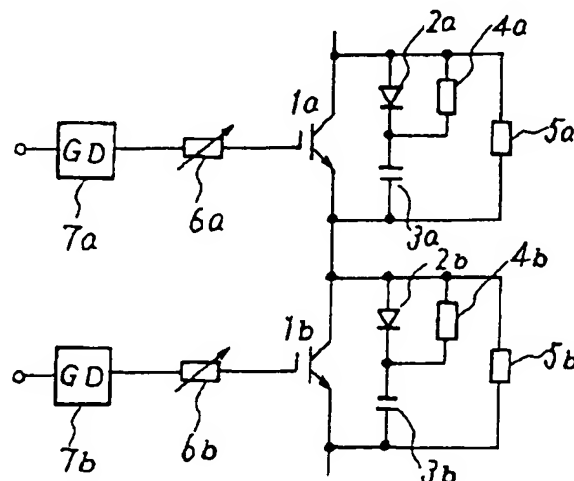
(54) 【発明の名称】 半導体スイッチ回路

(57) 【要約】

【課題】 直列接続式の半導体スイッチ回路において、ゲート信号の時間バラツキにより発生する過電圧を抑制するためスナバコンデンサの容量を増やすと、その充放電に伴う損失が大きくなるという問題があった。

【解決手段】 ゲートドライブ回路7a、7bとIGBT1a、1bのゲート端子との間に可変式ゲート抵抗6a、6bを挿入する。そして、その抵抗値をゲート信号の時間バラツキに応じて調整することにより、上記時間バラツキに基づくIGBT1a、1bの動作時間のバラツキを抑制する。

【効果】 スナバコンデンサの容量を増大することなく、IGBT1a、1bにかかる過電圧が抑制される。



1a, 1b : IGBT

6a, 6b : 可変式ゲート抵抗

7a, 7b : ゲートドライブ回路

【特許請求の範囲】

【請求項1】 主回路端子が互いに直列に接続された複数の電圧駆動型の半導体スイッチ素子、および上記各半導体スイッチ素子のゲート端子にゲート信号を供給するゲートドライブ回路を備えた半導体スイッチ回路において、

上記ゲートドライブ回路と各半導体スイッチ素子のゲート端子との間に可変式の抵抗素子を挿入し、上記各半導体スイッチ素子に供給されるゲート信号の時間バラツキに応じて上記各抵抗素子の抵抗値を調整することにより、上記ゲート信号の時間バラツキに基づく上記半導体スイッチ素子の動作時間のバラツキを抑制するようにしたことを特徴とする半導体スイッチ回路。

【請求項2】 主回路端子が互いに直列に接続された複数の電圧駆動型の半導体スイッチ素子、および上記各半導体スイッチ素子のゲート端子にゲート信号を供給するゲートドライブ回路を備えた半導体スイッチ回路において、

上記各半導体スイッチ素子の主回路端子間の電圧を検出する電圧検出回路、およびこの検出電圧が所定の設定値を越えたとき当該電圧検出回路に係る半導体スイッチ素子のゲート端子にターンオン信号を供給するゲート電圧制御回路を備えたことを特徴とする半導体スイッチ回路。

【請求項3】 主回路端子が互いに直列に接続された複数の電圧駆動型の半導体スイッチ素子、および上記各半導体スイッチ素子のゲート端子にゲート信号を供給するゲートドライブ回路を備えた半導体スイッチ回路において、

上記各半導体スイッチ素子の陽極端子とゲート端子との間に定電圧素子を挿入し、上記定電圧素子に印加される電圧が所定値を越えたとき当該定電圧素子を介してゲート端子に印加される電圧により当該半導体スイッチ素子をオン動作させるようにしたことを特徴とする半導体スイッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電圧駆動型半導体スイッチ素子（以下、単に素子という）を直列接続して使用する半導体スイッチ回路に係り、例えば、IGBT素子のターンオン、ターンオフの時間バラツキによる電圧アンバランスを抑制して直列接続された素子を有効に利用する半導体スイッチ回路に関するものである。

【0002】

【従来の技術】従来、装置の電源電圧が素子の使用可能電圧より高い場合には、素子を直列接続して使用する。この時、直列接続された素子のスイッチングに時間バラツキがあると、先にターンオフする素子や後にターンオンする素子に過電圧が加わり素子が破壊する可能性がある。例えば、特開昭60-210026号公報には、ス

ナバコンデンサにより、各素子のスイッチング時の電圧分担を均一化する技術が開示されている。

【0003】図7は上記スナバコンデンサを使用した従来の直列接続式の半導体スイッチ回路を示す図である。図において、1a、1bは主回路端子（コレクタ、エミッタ）が互いに直列に接続されたIGBT、2a、2bは、スナバダイオード、3a、3bはスナバコンデンサ、4a、4bはスナバ抵抗、5a、5bは分圧抵抗、16a、16bはゲート抵抗、7a、7bはIGBT1a、1bのゲート端子にゲート信号を供給するゲートドライブ回路である。そして、両ゲートドライブ回路7a、7bは、共通のスイッチング制御信号によって動作する。

【0004】次に、図8により、ターンオンおよびターンオフの動作について説明する。図8において、VaはIGBT1aのコレクタ・エミッタ間電圧、VbはIGBT1bのコレクタ・エミッタ間電圧である。オン動作が開始されるまでは、両IGBT1a、1bのコレクタ・エミッタ間電圧Va、Vbは分圧抵抗5により互いにほぼ等しい値となっている。ここで、ゲートドライブ回路からのターンオンのゲート信号が供給されてオン動作に入るが、実際の回路においては、ゲートドライブ回路7a、7bに同時にスイッチング制御信号が入力されても、ゲートドライブ回路7a、7bを構成する部品精度のバラツキによって出力信号、即ち、IGBT1a、1bのゲート端子に供給されるゲート信号には若干の時間差が生じる。

【0005】ここでは、例えば、ゲートドライブ回路7aから信号が出力されるタイミングがゲートドライブ回路7bから信号が出力されるタイミングより早い場合を想定する。この場合、図8に示すように、先ず、IGBT1aが時刻 $t=t_1$ でターンオン動作を開始してコレクタ・エミッタ間電圧Vaが下がり始める。そして、次に時刻 $t=t_2$ でIGBT1bがターンオン動作を開始するまでの $\Delta T1$ の間では、コレクタ・エミッタ間電圧Vaが下がった分、コレクタ・エミッタ間電圧Vbは逆に上昇して過電圧が発生する。この時、スナバコンデンサ3bによってIGBT1bの電圧上昇は若干抑制される。遅れて、時刻 $t=t_2$ でIGBT1bがターンオン動作を開始すると、コレクタ・エミッタ間電圧Vbも下がり始め、コレクタ・エミッタ間電圧Vaが零になるのに遅れてコレクタ・エミッタ間電圧Vbも零となってターンオン動作が終了する。

【0006】ターンオフ動作においては、ターンオン動作とは逆に、早くターンオフするIGBT1aに過電圧が発生する。

【0007】

【発明が解決しようとする課題】以上のように、直列に接続された素子に供給されるゲート信号に時間差があるため、いずれかの素子に過電圧が発生するが、この過電

圧を抑制するため、従来はスナバコンデンサの容量を増大したり、別途、分圧コンデンサを設けたりしていた。この結果、これらコンデンサの充放電に伴う損失が大きくなるという問題があった。

【0008】また、他の対策として、上記過電圧を考慮して直列接続する素子数を多くすることが考えられるが、素子の利用率が低下し、装置が大形化して価格が上昇する。

【0009】この発明は、上記のような問題点を解消するためになされたもので、損失が少なくしかも素子の利用率も良好な半導体スイッチ回路を得ることを目的とする。

【0010】

【課題を解決するための手段】請求項1に係る半導体スイッチ回路は、ゲートドライブ回路と各半導体スイッチ素子のゲート端子との間に可変式の抵抗素子を挿入し、上記各半導体スイッチ素子に供給されるゲート信号の時間バラツキに応じて上記各抵抗素子の抵抗値を調整することにより、上記ゲート信号の時間バラツキに基づく上記半導体スイッチ素子の動作時間のバラツキを抑制するようにしたものである。

【0011】また、請求項2に係る半導体スイッチ回路は、各半導体スイッチ素子の主回路端子間の電圧を検出する電圧検出回路、およびこの検出電圧が所定の設定値を越えたとき当該電圧検出回路に係る半導体スイッチ素子のゲート端子にターンオン信号を供給するゲート電圧制御回路を備えたものである。

【0012】また、請求項3に係る半導体スイッチ回路は、各半導体スイッチ素子の陽極端子とゲート端子との間に定電圧素子を挿入し、上記定電圧素子に印加される電圧が所定値を越えたとき当該定電圧素子を介してゲート端子に印加される電圧により当該半導体スイッチ素子をオン動作させるようにしたものである。

【0013】

【発明の実施の形態】

実施の形態1. 図1はこの発明の実施の形態1による半導体スイッチ回路を示す図である。図において、1～5、7は従来の図7の場合と同様であるが、ここでは、従来の固定抵抗式のゲート抵抗16に替わって、可変式
40 の可変式ゲート抵抗6a、6bを備えている。そして、従来と同様に、ゲートドライブ回路7aから出力されるゲート信号の方がゲートドライブ回路7bから出力されるゲート信号より早いものとする、上記可変式ゲート抵抗6aの抵抗値を可変式ゲート抵抗6bの抵抗値より若干大きめに設定する。

【0014】図2は、可変式ゲート抵抗6a、6bの抵抗値を以上のように設定した場合のターンオン、ターンオフの動作を示すタイミングチャートである。ゲートドライブ回路7aからのターンオンのゲート信号が出力されるタイミングは従来と同じであっても、可変式ゲート

抵抗6aの抵抗値が従来より大き目に設定されているので、IGBT1aのゲート・エミッタ間へのキャリア注入がその分遅れ、図2に示すように、ターンオン動作を開始する時刻は、従来の時刻 $t = t_1$ から時刻 $t = t_2$ まで遅れる。この結果、IGBT1bがターンオン動作を開始する時刻 $t = t_2$ までの時間差は従来の $\Delta T1$ から $\Delta T2$ にまでに抑制されることになり、これに伴いコレクタ・エミッタ間電圧Vbの過電圧が小さく抑えられる。

10 【0015】そして、遅れてIGBT1bが時刻 $t = t_2$ でターンオン動作を開始すると、コレクタ・エミッタ間電圧Vbの減少速度に比べてコレクタ・エミッタ間電圧Vaの減少速度は、可変式ゲート抵抗6aの抵抗値を可変式ゲート抵抗6bの抵抗値より大きく設定した分、遅くなり、両コレクタ・エミッタ間電圧Va、Vbはほぼ同時に零となってターンオン動作が終了する。

20 【0016】なお、ターンオフ動作においては、ターンオン動作とは逆に、早くターンオフするIGBT1aに過電圧が発生するが、この場合も、可変式ゲート抵抗6aの抵抗値が大きい分、IGBT1aの動作が遅れるので、結果として両IGBT1a、1bの動作時間差が小さくなり過電圧が抑制されることになる。

30 【0017】以上のように、この実施の形態1では、可変式ゲート抵抗を可変式とし、素子に供給されるゲート信号の時間バラツキに応じて可変式ゲート抵抗6の抵抗値を調整することにより、ゲート信号の時間バラツキに基づく素子の動作時間のバラツキを抑制するようにしたので、スナバコンデンサの容量を増やすことなく、従って、損失を増大させることなく、素子の過電圧を抑えることができる。

【0018】実施の形態2. 図3はこの発明の実施の形態2による半導体スイッチ回路を示す図である。図において、1～5、7、16は従来の図7の場合と同様で、個々の説明は省略する。100a、100bはIGBT1a、1bのコレクタ・エミッタ間電圧を検出する電圧検出回路で、抵抗8と9とからなっている。101a、101bは過電圧判定回路で、基準電圧入力10（電圧Vset相当）を備えたコンパレータ11からなっている。102a、102bはゲート電圧制御回路で、トランジスタ12、抵抗13、14からなっている。15a、15bはゲートドライブ回路7a、7bに入力されるターンオン信号電位線である。

50 【0019】次にターンオン、ターンオフの動作を図4を参照して説明する。なお、この場合も、ゲートドライブ回路7aから出力されるゲート信号の方がゲートドライブ回路7bから出力されるゲート信号より早いものとする。まず、時刻 $t = t_1$ でIGBT1aがターンオン動作を開始してコレクタ・エミッタ間電圧Vaが下がり始めると、この下がった分IGBT1bのコレクタ・エミッタ間電圧Vbが上昇する。そして、この上昇したコ

レクタ・エミッタ間電圧 V_b が基準電圧入力10で設定された電圧 V_{set} 相当値を越えると、過電圧判定回路101bのコンパレータ11が動作して“L”レベルの信号を出力し、ゲート電圧制御回路102bのトランジスタ12がオンする。

【0020】この結果、IGBT1bのゲート端子がターンオン信号電位線15bとつながり、IGBT1bがオン動作する。但し、ゲートドライブ回路7bからのターンオン信号は未だ供給されていないので、上記オン動作は直ぐに解除する方向となるが、コレクタ・エミッタ間電圧 V_a は下降を続けており、オン動作が解除されるとコレクタ・エミッタ間電圧 V_b は瞬時に電圧 V_{set} を越え再びゲート電圧制御回路102bが動作することになる。即ち、IGBT1bのコレクタ・エミッタ間電圧 V_b は、図4に示すように、電圧 V_{set} でクランプされる現象となる。

【0021】そして、このクランプ状態は、IGBT1bに従来通りの過電圧が生じ、これが、ゲートドライブ回路7bからの本来のゲート信号により時刻 $t = t_2$ で開始されるIGBT1bのターンオン動作とともに下降して電圧 V_{set} に至る時に相当する時刻まで継続する。その後は、コレクタ・エミッタ間電圧 V_a 、 V_b が共に下降し、コレクタ・エミッタ間電圧 V_a が零になるのに遅れてコレクタ・エミッタ間電圧 V_b も零となってターンオン動作が終了する。

【0022】なお、ターンオフ動作においては、ターンオン動作とは逆に、早くターンオフするIGBT1aに過電圧が発生するが、この場合は、過電圧判定回路101a、ゲート電圧制御回路102aが動作してコレクタ・エミッタ間電圧 V_a が電圧 V_{set} にクランプされ過電圧が抑制される。

【0023】以上のように、この実施の形態2では、電圧検出回路、過電圧判定回路およびゲート電圧制御回路を備えたので、スナバコンデンサの容量を増やすことなく、従って、損失を増大させることなく、素子の過電圧を一定値以下に確実に抑制することができる。

【0024】実施の形態3. 図5はこの発明の実施の形態3による半導体スイッチ回路を示す図である。先の実施の形態2とはほぼ同一であり、詳細な説明は省略するが、ここでは、過電圧判定回路101a、101bをトランジスタ17で構成している。そして、コレクタ・エミッタ間電圧 V_a 、 V_b が図4の電圧 V_{set} を越えたとき、このトランジスタ17がオンとなるよう、電圧検出回路100a、100bの抵抗8、9による分圧比が設定されている。トランジスタ17のオン動作と同時にゲート電圧制御回路102のトランジスタ12がオンしてコレクタ・エミッタ間電圧 V_a 、 V_b を電圧 V_{set} にクランプする動作は、実施の形態2で説明した場合と全く同様である。従って、この実施の形態3においても、形態2の場合と同様の効果が得られる。

【0025】実施の形態4. 図6はこの発明の実施の形態4による半導体スイッチ回路を示す図である。図において、1～5、7、16は従来の図7の場合と同様で、個々の説明は省略する。18a、18bはIGBT1a、1bのコレクタ端子とゲート端子との間に挿入された定電圧素子としてのツェナーダイオードである。

【0026】次に、先の図4を参照してターンオン、ターンオフの動作を説明する。まず、時刻 $t = t_1$ でIGBT1aがターンオン動作を開始してコレクタ・エミッタ間電圧 V_a が下がり始めると、この下がった分IGBT1bのコレクタ・エミッタ間電圧 V_b が上昇する。そして、この上昇したコレクタ・エミッタ間電圧 V_b がツェナーダイオード18bのツェナー電圧を越えるとIGBT1bがオン動作する。しかし、ゲートドライブ回路7bからのターンオン信号は未だ供給されていないので、上記オン動作は直ぐに解除する方向となるが、コレクタ・エミッタ間電圧 V_a は下降を続けており、オン動作が解除されるとコレクタ・エミッタ間電圧 V_b は瞬時に電圧 V_{set} を越えツェナーダイオード18bが再び動作することになる。即ち、IGBT1bのコレクタ・エミッタ間電圧 V_b は、図4に示すように、電圧 V_{set} でクランプされる。

【0027】なお、ターンオフ動作においては、ターンオン動作とは逆に、早くターンオフするIGBT1aに過電圧が発生するが、この場合は、ツェナーダイオード18aが動作してコレクタ・エミッタ間電圧 V_a が電圧 V_{set} にクランプされ過電圧が抑制される。

【0028】従って、ツェナーダイオード18a、18bのツェナー電圧を適当に選定することにより、簡単な構成で、実施の形態2の場合と同等の効果を奏する。

【0029】なお、上記各形態では、半導体スイッチ素子としてIGBTの場合について説明したが、これに限られるものではなく、この発明は他の種類の電圧駆動型の半導体スイッチに同様に適用することができ同等の効果を奏する。また、その直列数も2個に限られるものではないのは勿論である。

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体スイッチ回路を示す図である。

【図2】 図1の回路のターンオン、ターンオフ動作時の電圧波形を示すタイミングチャートである。

【図3】 この発明の実施の形態2による半導体スイッチ回路を示す図である。

【図4】 図3の回路のターンオン、ターンオフ動作時の電圧波形を示すタイミングチャートである。

【図5】 この発明の実施の形態3による半導体スイッチ回路を示す図である。

【図6】 この発明の実施の形態4による半導体スイッチ回路を示す図である。

【図7】 従来の半導体スイッチ回路を示す図である。

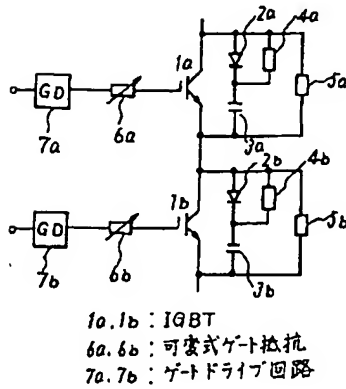
【図8】 図7の回路のターンオン、ターンオフ動作時の電圧波形を示すタイミングチャートである。

【符号の説明】

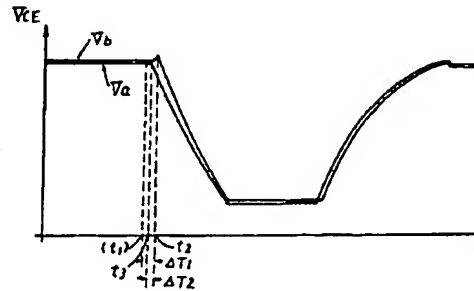
1a, 1b IGBT, 6a, 6b 可変式ゲート抵抗

* 抗, 7a, 7b ゲートドライブ回路, 18a, 18b ツェナーダイオード, 100a, 100b 電圧検出回路, 101a, 101b 過電圧判定回路, 102a, 102b ゲート電圧制御回路。

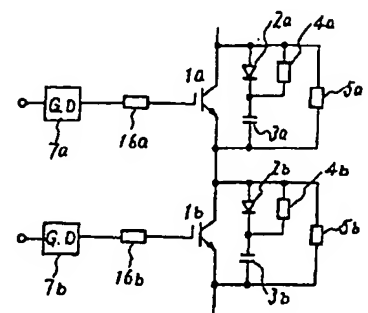
【図1】



【図2】

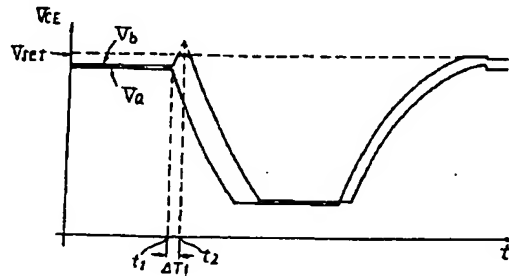
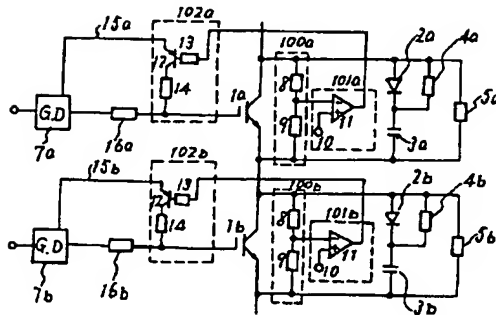


【図7】



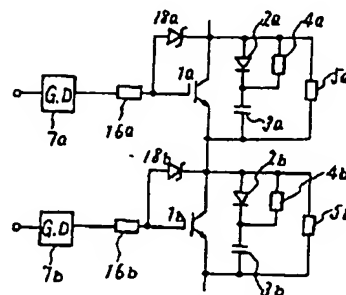
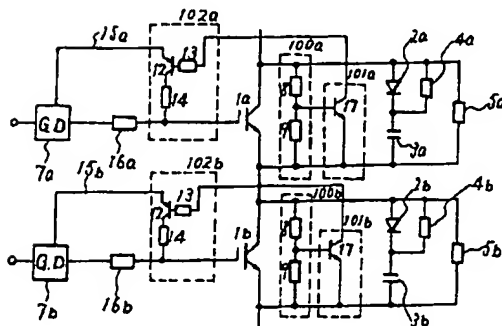
【図4】

【図3】



【図6】

【図5】



18a, 18b : ツェナーダイオード

【図8】

